



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63061560 A**

(43) Date of publication of application: 17 . 03 . 88

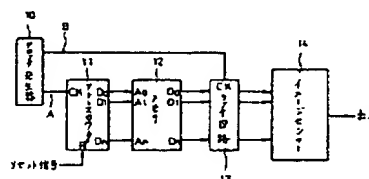
(51) Int. Cl. **H04N 3/15**(21) Application number: **61205702**(71) Applicant: **FUJI PHOTO FILM CO LTD**(22) Date of filing: **01 . 09 . 86**(72) Inventor: **UCHIDA MITSUAKI**(54) **DRIVING CIRCUIT OF IMAGE SENSOR**

COPYRIGHT: (C)1988,JPO&Japio

(57) Abstract:

PURPOSE: To only change data in a memory to use it for various image sensors by preliminarily writing the pattern of a driving signal in the memory and reading out the driving signal from the memory to drive the image sensor.

CONSTITUTION: A clock generator 10 generates a fundamental clock signal A and a latch signal B different in phase. The fundamental clock signal A is counted by an address counter 11, and the counted value is sent as an address signal to a memory 12. An erasable ROM is used as the memory 12, and the driving signal determined by the classification, the number of picture elements, the reading system, etc., of a used image sensor is written in a memory cell corresponding to each address. Data read out from the memory 12 is sent as the driving signal to a latch circuit 13 and is latched by the latch signal B from the clock generator 10. This latched driving signal is sent to an image sensor 14. The image sensor 14 is driven by the latched driving signal to successively read out the signal charge stored in each photo diode for individual picture elements.



アドレス	データ (50ビット)
00000000	0100000
00000001	0101100
00000010	0001100
00000011	1001100



⑫ 公開特許公報(A)

昭63-61560

⑬ Int. Cl.

H 04 N 3/15

識別記号

庁内整理番号

7245-5C

⑭ 公開 昭和63年(1988)3月17日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 イメージセンサーの駆動回路

⑯ 特 願 昭61-205702

⑰ 出 願 昭61(1986)9月1日

⑱ 発 明 者 内 田 光 明 神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社

⑲ 出 願 人 富士写真フィルム株式会社 神奈川県南足柄市中沼210番地

⑳ 代 理 人 弁理士 小林 和憲

明 細 書

1. 発明の名称

イメージセンサーの駆動回路

2. 特許請求の範囲

- (1) 複数のパルスからなる駆動信号でイメージセンサーを駆動し、各画素の信号を順次読み出すイメージセンサーの駆動回路において、

前記駆動信号のパターンを記憶したメモリと、クロックパルスをカウントして、メモリから駆動信号を順次読み出すためのアドレスカウンタとからなることを特徴とするイメージセンサーの駆動回路。

- (2) 前記イメージセンサーは、MOS型であることを特徴とする特許請求の範囲第1項記載のイメージセンサーの駆動回路。

- (3) 前記イメージセンサーは、CCD型であることを特徴とする特許請求の範囲第1項記載のイメージセンサーの駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、イメージセンサーの駆動回路に関するものである。

(従来の技術)

テレビカメラ、スキャナー等の画像読取り装置では、小型・軽量化を図るために、固体撮像装置が広く用いられている。この固体撮像装置には、MOS型、CCD型、CID型等があり、これらは画素を1列に配置したラインセンサーと、画素を二次元に配置したエリアセンサーとに分類される。

前記MOS型エリアイメージセンサーでは、フォトダイオードが二次元に配置されており、水平MOSスイッチと、垂直MOSスイッチとを用いて、フォトダイオードの信号を順次読み出すようになっている。これらの水平MOSスイッチを行毎に走査するために、垂直走査シフトレジスタが設けられており、また垂直MOSスイッチを順次走査するために、水平走査シフトレジスタが設けられている。なお、ラインセンサーでは、一方の走査シフトレジスタが省略されている。

これらの垂直走査シフトレジスタと水平走査シフトレジスタとを駆動するために、駆動回路が用いられる。この駆動回路は、水平入力パルスと水平クロックパルスを発生して、水平走査シフトレジスタに入力するとともに、垂直入力パルスと垂直クロックパルスを発生して、これらを垂直走査シフトレジスタに入力する。

前記CCD型エリヤイメージセンサーは、マトリックスに配置したフォトダイオードで光電変換・蓄積した信号電荷をこじりアナログシフトレジスタで転送して順次読み出すものであり、入射光を光電変換する感光部と、遮光された転送部と、出力部とから構成されている。なお、ラインセンサーでは、転送部が省略される。

このCCD型イメージエリヤセンサーにおいても、感光部、転送部、出力部をそれぞれ駆動するために、駆動回路が設けられている。この駆動回路は、例えば4相駆動型では、感光部、転送部、出力部に、位相が異なった4個のクロックパルスからなる駆動信号がそれぞれ供給され、各フォトダイオ

ードに蓄積された信号電荷が順次転送される。

(発明が解決しようとする問題点)

前述した駆動回路は、イメージセンサーの種類、画素数、読み出し方式、電荷蓄積時間等によって回路構成が異なるため、個々のイメージセンサーの専用回路として設計されている。したがって、仕様が異なったイメージセンサーを製作する場合には、同時に駆動回路を設計することが必要であった。この駆動回路は、所定のタイミングで駆動信号を発生するように、複雑なロジック回路で構成されているから、実際に設計するとなるとかなり面倒であり、また時間がかかる。

本発明は、各種のイメージセンサーに利用することが可能であり、仕様が変わった場合でも、これに簡単に対処することができる駆動回路を提供することを目的とするものである。

(問題点を解決するための手段)

上記目的を達成するために、本発明は、駆動信号のパターンを記憶したメモリと、クロックパルスをカウントして、メモリから駆動信号を順次読

み出すアドレスカウンタとから駆動回路を構成したものである。

すなわち、本発明のメモリには、駆動信号の波形を書き込んでおき、アドレスカウンタでメモリの番地を指定して、これに書き込んでおいた駆動信号を読み出し、これをイメージセンサーに送るようとしたものである。したがって、本発明は、メモリのデータを変えるだけで、各種のイメージセンサーを駆動することができる。

以下、図面を参照して本発明の実施例について詳細に説明する。

(実施例)

第1図において、クロック発生器10は、位相が異なった基本クロック信号Aとラッチ信号Bとを発生する。この基本クロック信号Aは、アドレスカウンタ11に送られ、ここでカウントされ、そのカウント値がアドレス信号としてメモリ12に送られる。また、アドレスカウンタ11は、コントローラ(図示せず)からのリセット信号によりリセットされる。

前記メモリ12は、例えば消去可能なROMが用いられ、第2図に示すように、使用するイメージセンサーの種類、画素数、読み出し方式等によって決まる駆動信号が、各アドレスに対応するメモリセルにそれぞれ書き込んである。したがって、メモリ12のデータを変更するだけで、任意のイメージセンサーに使用することができる。

前記メモリ12から読み出されたデータは、駆動信号としてラッチ回路13に送られ、クロック発生器10からのラッチ信号Bでラッチされる。このラッチされた駆動信号は、イメージセンサー14に送られる。イメージセンサー14は、MOS型、CCD型等のいずれでもよく、ラッチされた駆動信号で駆動され、各フォトダイオードに蓄積された信号電荷を画素毎に順次読み出す。

第3図は本発明をMOS型エリヤイメージセンサーの駆動回路に利用した実施例を示すものである。なお、図面を簡単にするために、駆動回路はメモリとラッチ回路だけを示してある。メモリ12には、MOS型エリヤイメージセンサー20

を駆動するために必要な駆動信号が書き込まれている。この駆動信号としては、水平入力パルス H_{in} と、水平クロックパルス ϕH_1 、 ϕH_2 と、垂直入力パルス V_{in} と、垂直クロックパルス ϕV_1 、 ϕV_2 とがある。これらの駆動信号は、ラッチ回路13aでラッチされ、このラッチされた駆動信号がMOS型エリヤイメージセンサー20に送られる。

前記MOS型エリヤイメージセンサー20は、水平走査シフトレジスタ21と、垂直走査シフトレジスタ22とを備え、これらに前記駆動信号が入力される。垂直走査シフトレジスタ22の各出力端子D1～D2には、水平線23、24がそれぞれ接続されている。これらの水平線23、24には、水平MOSスイッチ25～28のゲートがそれぞれ接続されている。また、この水平MOSスイッチ25～28のソースには、入射光を光電変換して蓄積するためのフォトダイオード30～33がそれぞれ接続されている。また、このフォトダイオード30～33のドレインには、垂直線

35、36がそれぞれ接続されている。この垂直線35、36には、水平MOSスイッチ37、38が接続されている。これらの水平MOSスイッチ37、38のゲートは、水平走査シフトレジスタ21の出力端子F1、F2にそれぞれ接続され、またドレインが出力線39に接続されている。

第4図はメモリから読み出された駆動信号の波形を示すものであり、これをお照して第3図に示す装置の作動について説明する。メモリ12aに書き込まれた駆動信号は、アドレスカウンタ11により順次読み出され、所定のタイミングでラッチ回路13aにラッチされる。例えば、アドレスが十進法で「0」の場合には、メモリ12aから「010000」の信号が出力され、この信号が安定したタイミング、例えばその出力区間のほぼ真中でラッチされる。この駆動信号は、最初のビット「0」が水平クロックパルス ϕH_1 を表し、第2番目のビット「1」が水平クロックパルス ϕH_2 を表し、第3番目のビット「0」が水平入力パルス H_{in} 、第4番目のビット「0」が垂直入力

パルス V_{in} 、第5番目のビット「0」が垂直クロックパルス ϕV_1 、第6番目のビット「0」が垂直クロックパルス ϕV_2 を表している。このラッチされた駆動信号は、水平走査シフトレジスタ21と垂直走査シフトレジスタ22とに送られる。

アドレスが「1」の場合には、メモリ12aから「010110」の信号が読み出されてラッチされる。この駆動信号では、垂直入力パルス V_{in} が「1」になっている。続いてメモリ12aから駆動信号が順次読み出されると、水平入力パルス H_{in} が「1」になるから、水平走査シフトレジスタ21のシフトが可能となる。

その後、垂直クロックパルス ϕV_1 が「1」になると、垂直走査シフトレジスタ22の第1番目の出力端子D1が「H」となる。更に、アドレスカウンタ11が「2」だけカウントすると、水平クロックパルス ϕH_1 が「1」になるから、水平走査シフトレジスタ21の第1番目の出力端子F1が「H」となる。この時点では、水平走査シフトレジスタ21の出力端子F1と、垂直走査シフ

トレジスタ22の出力端子D1とが「H」となるから、垂直MOSスイッチ31と水平MOSスイッチ25とがONする。これにより、第1行第1列目のフォトダイオード30が走査され、これに蓄積されている信号電荷が出力線39から取り出される。

水平クロックパルス ϕH_1 が「L」になってから、再び「H」になると、水平走査シフトレジスタ21がシフトされ、その出力端子F2が「H」となる。これにより、水平MOSスイッチ38と垂直MOSスイッチ26とがONするから、フォトダイオード31が選択され、これに蓄積されていた信号が出力線39から取り出される。以下、同様にして第1行の第3列以降にある各フォトダイオード（図示せず）が順次走査されて信号電荷が読み出される。

第1行目のフォトダイオードの読み出しが終了すると、垂直走査シフトレジスタ22のシフトが行われ、その出力端子D2が「H」となる。この状態で、水平走査シフトレジスタ21が1回走査さ

れ、第2行目に属している各フォトダイオード32、33(第3列以降は図示せず)が選択され、これに蓄積されていた信号電荷が順次読み出される。以下、同様にして第3行以降のフォトダイオードが順次走査され、信号電荷の読み出しが行われる。

アドレスカウンタ11は、所定値を越えると、その内容が「0」に戻るから、メモリ12aの1回の読み出しが終了する。出力線39から取り出した信号をデジタル変換する場合には、サンプル信号に当てるために、メモリ12aのビットを1個増やし、この信号でA/D変換器を作動させればよい。

第5図は、本発明の駆動回路をCCD型エリヤイメージセンサーに使用した実施例を示すものである。CCD型エリヤイメージセンサー42は、感光部43と、転送部44と、出力部45とを備えている。感光部43は、多数のフォトダイオードが二次元に配置されており、入射した光を光電変換して蓄積する。この感光部43は、位相が異

なった4個の感光部クロックパルス ϕ_1 、 $\sim \phi_4$ で駆動され、各フォトダイオードの電荷が転送部44に短時間で転送される。

前記転送部44は、感光部と同じ構造であるが、光電変換を行わないようにするために遮光されている。この転送部44は、位相が異なった4個の転送部クロックパルス ϕ_5 、 $\sim \phi_8$ で駆動され、信号電荷を出力部45にゆっくりと転送する。

出力部45は、CCDシフトレジスタで構成されており、転送部44から転送された1行分の電荷を順次転送し、後段のMOSトランジスタ(図示せず)で電圧に変換して出力する。この出力部は、出力部クロックパルス ϕ_R 、 $\sim \phi_{\bar{R}}$ で駆動される。

これらのクロックパルスは、メモリ12bからデータを読み出すことにより作成され、ラッチ回路13bを介してCCD型エリヤイメージセンサー42に送られる。また、メモリ12bには、水平同期信号H-syn、垂直同期信号V-syn、サンプリング信号SPも記憶されており、

これらの信号は信号処理回路(図示せず)に送られる。

上記実施例は、エリヤセンサーに係るものであるが、本発明はラインセンサーに対しても利用することができるものである。

(発明の効果)

以上詳細に説明したところから明らかなように、本発明は、駆動信号のパターンをメモリに書き込んでおき、このメモリから駆動信号を読み出してイメージセンサーを駆動するようにしたから、メモリのデータを変更するだけで、各種のイメージセンサーに利用することができる。したがって、イメージセンサーの仕様変更、例えば画素数の変更や読み出し方式の変更等に対しても簡単に対処することができる。また、従来のロジック回路を使用した駆動回路に比べて、構造が簡単となるとともに、各駆動信号のタイミングもとり易いという利点がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す説明図である。

第2図はメモリの内容を示す説明図である。

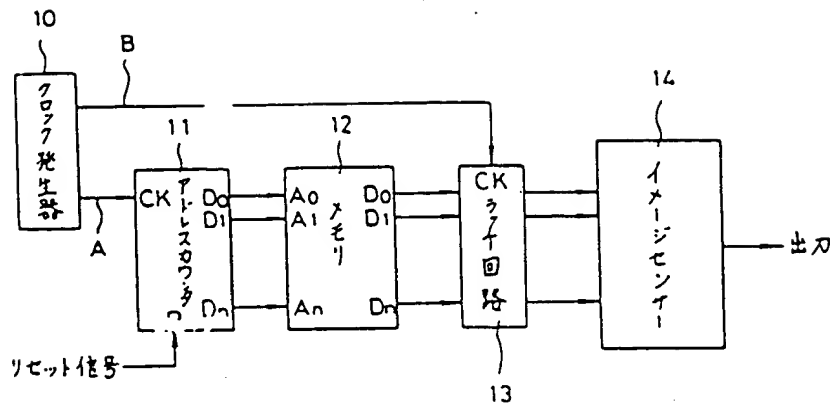
第3図はMOS型エリヤイメージセンサーに本発明を利用した実施例を示す回路図である。

第4図は第3図に示したメモリの出力波形を示すタイミングチャートである。

第5図はCCD型エリヤイメージセンサーに本発明を利用した実施例を示す回路図である。

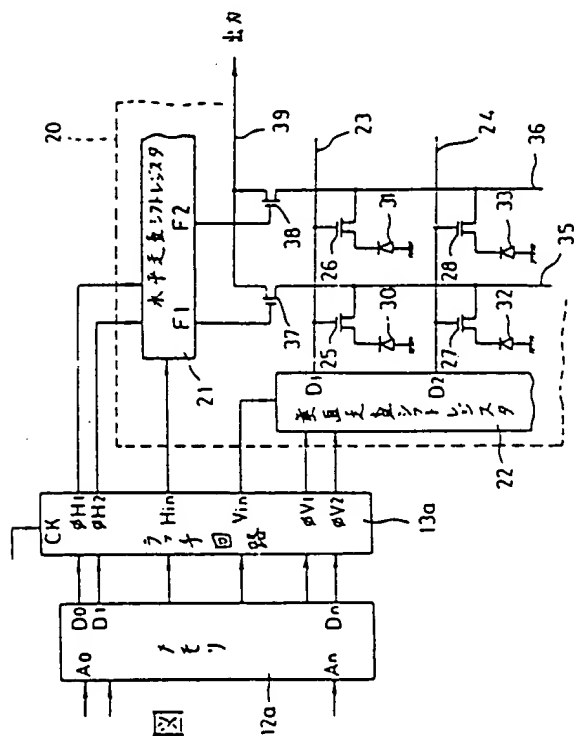
- 25～28・・・水平MOSスイッチ
- 30～33・・・フォトダイオード
- 37、38・・・垂直MOSスイッチ。

第 1 図

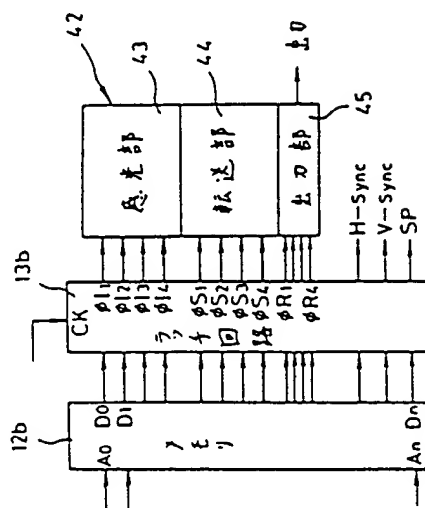


第 2 図

アドレス	データ (駆動信号)
0 0 0 0 0 0 0 0	0 1 0 0 0 0
0 0 0 0 0 0 0 1	0 1 0 1 1 0
0 0 0 0 0 0 1 0	0 0 0 1 1 0
0 0 0 0 0 0 1 1	1 0 0 1 1 0



第 3 図



第 5 図

第 4 図

